

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re PATENT APPLICATION of :
Yun-Woo LEE et al. :
Serial No.: [NEW] : Mail Stop Patent Application
Filed: January 12, 2004 : Attorney Docket No. SEC.1091
For: VOLTAGE LEVEL SHIFT CIRCUIT AND POWER SUPPLY DETECTION
CIRCUIT

CLAIM OF PRIORITY

U.S. Patent and Trademark Office
2011 South Clark Place
Customer Window, Mail Stop Patent Application
Crystal Plaza Two, Lobby, Room 1B03
Arlington, VA 22202

Sir:

Applicant, in the above-identified application, hereby claims the priority date under the International Convention of the following Korean application:

Appln. No. 10-2003-0002112 filed January 13, 2003

as acknowledged in the Declaration of the subject application.

A certified copy of said application is being submitted herewith.

Respectfully submitted,

VOLENTINE FRANCOS, PLLC



Adam C. Volentine
Registration No. 33,289

12200 Sunrise Valley Drive, Suite 150
Reston, Virginia 20191
Tel. (703) 715-0870
Fax. (703) 715-0877

Date: January 12, 2004



별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto is a true copy from the records of the Korean Intellectual Property Office.

출원 번호 : 10-2003-0002112
Application Number

출원 년 월 일 : 2003년 01월 13일
Date of Application
JAN 13, 2003

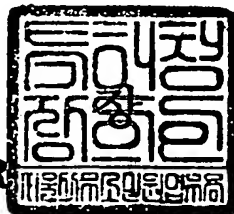
출원인 : 삼성전자주식회사
Applicant(s) SAMSUNG ELECTRONICS CO., LTD.



2003 년 07 월 02 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0002
【제출일자】	2003.01.13
【발명의 명칭】	파워 검출부를 구비하여 누설 전류 경로를 차단하는 레벨 쉬프터
【발명의 영문명칭】	Level shift having power dectection unit to cut off leakage current path
【출원인】	
【명칭】	삼성전자 주식회사
【출원인코드】	1-1998-104271-3
【대리인】	
【성명】	임창현
【대리인코드】	9-1998-000386-5
【포괄위임등록번호】	1999-007368-2
【대리인】	
【성명】	권혁수
【대리인코드】	9-1999-000370-4
【포괄위임등록번호】	1999-056971-6
【발명자】	
【성명의 국문표기】	이윤우
【성명의 영문표기】	LEE, YUN WOO
【주민등록번호】	670906-1347511
【우편번호】	427-050
【주소】	경기도 과천시 부림동 41번지 주공아파트 902동 105호
【국적】	KR
【발명자】	
【성명의 국문표기】	허부영
【성명의 영문표기】	HUH, BOO YUNG
【주민등록번호】	590113-1691413

【우편번호】 442-470
【주소】 경기도 수원시 팔달구 영통동 957번지 6호
【국적】 KR
【심사청구】 청구
【취지】 특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인
 임창현 (인) 대리인
 권혁수 (인)
【수수료】
【기본출원료】 19 면 29,000 원
【가산출원료】 0 면 0 원
【우선권주장료】 0 건 0 원
【심사청구료】 11 항 461,000 원
【합계】 490,000 원
【첨부서류】 1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

파워 검출부를 구비하여 누설 전류 경로를 차단하는 레벨 쉬프터가 개시된다. 본 발명의 레벨 쉬프터는 파워 검출부, 입력단 그리고 출력단을 포함한다. 파워 검출부는 제1 전원 전압과 제2 전원 전압의 레벨에 응답하여 제어 신호를 발생한다. 입력단은 제1 전원 전압과 접지 전압 사이에 연결되고 입력 신호를 수신한다. 출력단은 제2 전원 전압과 접지 전압 사이에 연결되고 제어 신호와 입력단의 출력에 응답하여 출력 신호를 발생한다. 따라서, 본 발명의 레벨 쉬프터에 의하면, 파워 다운 모드 시 누설 전류 경로를 차단하고, 정상 모드 시 제1 전원 전압 레벨의 입력 신호를 제2 전원 전압 레벨의 출력 신호로 레벨 쉬프터시킨다.

【대표도】

도 2

【색인어】

레벨 쉬프터, 누설 전류, 파워 다운, 파워 검출부

【명세서】**【발명의 명칭】**

파워 검출부를 구비하여 누설 전류 경로를 차단하는 레벨 쉬프터{Level shift having power dectection unit to cut off leakage current path}

【도면의 간단한 설명】

도 1은 종래의 레벨 쉬프터를 나타내는 도면이다.

도 2는 본 발명의 일실시예에 따른 레벨 쉬프터를 나타내는 도면이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

- <3> 본 발명은 반도체 집적 회로에 관한 것으로, 특히 파워 검출부를 구비하여 누설 전류 경로를 차단하는 레벨 쉬프터에 관한 것이다.
- <4> 아날로그 회로와 디지털 회로가 한 칩에 임베디드(embedded)되어 있는 믹서드 집적 회로(mixed integrated circuit)나 메모리 회로 등이 있다. 아날로그 회로와 디지털 회로 사이에는 서로 다른 두 레벨을 전환(translate)시킬 수 있는 레벨 쉬프터가 사용된다. 통상적으로, 아날로그 회로의 동작 전압 레벨은 디지털 회로의 동작 전압 레벨보다 높게 설정된다. 디지털 회로와 아날로그 회로 사이에 인터페이스 회로로써 레벨 쉬프터가 사용된다.
- <5> 도 1은 종래의 레벨 쉬프터를 나타내는 도면이다. 이를 참조하면, 레벨 쉬프터(100)는 입력단(110)과 출력단(120)으로 구성된다. 입력단(110)은 제1 전원 전압(VDD1)

과 접지 전압(VSS)으로 구동되고 출력단(120)은 제2 전원 전압(VDD2)과 접지 전압(VSS)으로 구동된다. 제1 전원 전압(VDD1)은 제2 전원 전압(VDD2) 보다 낮다고 가정하여, 예컨대, 제1 전원 전압(VDD1)은 1.8V 정도로, 그리고 제2 전원 전압(VDD2)은 3.3V 정도로 설정하자. 입력단(110)은 제1 인버터(10)와 제2 인버터(20)를 포함한다. 출력단(120)은 제2 전원 전압(VDD2)에 그 소스들이 연결되고 서로 교차 연결된 제1 및 제2 피모스 트랜지스터들(31, 32)과, 접지 전압(VSS)에 그 소스들이 연결되고 그 게이트들이 제2 인버터(20) 출력(25)과 제1 인버터(10) 출력(15)에 각각 연결되는 제1 및 제2 엔모스 트랜지스터들(33, 34)과, 그리고 제3 인버터(40)를 포함한다.

<6> 레벨 쉬프터(100)는 다음과 같이 동작된다.

<7> 먼저, 입력 신호(IN)가 접지 전압(VSS) 레벨의 로직 로우레벨에서 제1 전원 전압(VDD1) 레벨의 로직 하이레벨로 천이하는 경우에 대하여 기술된다. 제1 인버터(10)의 출력 노드(15)는 접지 전압의 로직 로우레벨로, 그리고 제2 인버터(20)의 출력 노드(25)는 제1 전원 전압(VDD1)의 로직 하이레벨로 변한다. 이에 따라, 출력단(120)의 제1 엔모스 트랜지스터(33)와 제2 피모스 트랜지스터(32)가 턴온되고 제1 노드(35)는 접지 전압(VSS)의 로직 로우레벨이 되고, 제3 인버터(40)의 출력 노드인 출력 신호(Y)는 제2 전원 전압(VDD2)의 로직 하이레벨이 된다.

<8> 다음으로, 입력 신호(IN)가 제1 전원 전압(VDD1) 레벨의 로직 하이레벨에서 접지 전압(VSS) 레벨의 로직 로우레벨로 천이하는 경우, 제1 인버터(10)의 출력 노

드(15)는 제1 전원 전압(VDD1)의 로직 하이레벨로, 그리고 제2 인버터(20)의 출력 노드(25)는 접지 전압(VSS)의 로직 로우레벨로 변한다. 출력단(120)의 제2 엔모스 트랜지스터(34)와 제1 피모스 트랜지스터(31)가 턴온되고 제2 노드(36)는 접지 전압(VSS)의 로직 로우레벨이 된다. 로직 로우레벨의 제2 노드(36)에 의하여 제1 피모스 트랜지스터(31)가 턴온되어 제1 노드(35)는 제2 전원 전압(VDD2)의 로직 하이레벨이 된다. 이에 따라, 제3 인버터(40)의 출력 노드인 출력 신호(Y)는 접지 전압(VSS)의 로직 로우레벨이 된다.

<9> 레벨 쉬프터(100)는 정상적인 경우 상술한 바와 같이, 제1 전원 전압(VDD1) 레벨의 로직 하이레벨 입력 신호(IN)를 제2 전원 전압(VDD2) 레벨의 출력 신호(Y)로 레벨 쉬프터시킨다. 그러나, 파워 다운 모드 등으로 인하여 제1 전원 전압(VDD1) 또는 제2 전원 전압(VDD2)이 차단되는 경우에 있어서 다음과 같은 문제점이 발생한다.

<10> 예컨대, 전력 소비 감소를 위하여 제1 전원 전압(VDD1)을 차단하는 경우, 제1 전원 전압(VDD1)으로 구동되는 제1 인버터(10)의 출력 노드(15)와 제2 인버터(20)의 출력 노드(25)는 그 전압 레벨이 불명확하다(indefinite). 만약, 제1 인버터(10)의 출력 노드(15)와 제2 인버터(20)의 출력 노드(25)가 접지 전압(VSS) 보다 엔모스 트랜지스터의 문턱 전압(V_{tn}) 만큼 높은 전압 레벨, 즉 $VSS + V_{tn}$ 레벨이면, 제1 및 제2 엔모스 트랜지스터들(33, 34)은 턴온되고 제1 노드(35) 및 제2 노드(36)는 접지 전압(VSS)의 로직 로우레벨이 되고 제1 및 제2 피모스 트랜지스터들(31, 32)이 턴온된다. 결과적으로, 제1 피모스 트랜지스터(31)와 제1 엔모스 트랜지스터(33)가 턴온되고 제2 피모스 트랜지스터(32)와 제2 엔모스 트랜지스터(34)가 턴온되어, 제2 전원 전압(VDD2)과 접지 전압(VSS) 사이에 누설 전류 경로들이 형성된다.

<11> 게다가, 제1 피모스 트랜지스터(31)와 제1 엔모스 트랜지스터(33) 사이의 온-저항(on-resistance)에 의해 분배되어, 제1 노드(35)의 전압 레벨이 제3 인버터(40)의 스위칭 레벨 정도가 되면 제3 인버터(40)에도 누설 전류 경로가 생긴다. 이러한 누설 전류 경로들은 전력 소비를 증가시키는 문제점이 된다.

<12> 따라서, 누설 전류 경로를 차단할 수 있는 레벨 쉬프터가 절실히 요구된다.

【발명이 이루고자 하는 기술적 과제】

<13> 본 발명의 목적은 파워 검출부를 구비하여 누설 전류 경로를 차단하는 레벨 쉬프터를 제공하는 데 있다.

【발명의 구성 및 작용】

<14> 상기 목적을 달성하기 위하여, 본 발명의 레벨 쉬프터는 파워 검출부, 입력단 그리고 출력단을 포함한다. 파워 검출부는 제1 전원 전압과 제2 전원 전압의 레벨에 응답하여 제어 신호를 발생한다. 입력단은 제1 전원 전압과 접지 전압 사이에 연결되고 입력 신호를 수신한다. 출력단은 제2 전원 전압과 접지 전압 사이에 연결되고 제어 신호와 입력단의 출력에 응답하여 출력 신호를 발생한다.

<15> 바람직하기로, 파워 검출부는 제1 전원 전압과 접지 전압 사이에 연결되어 제1 전원 전압의 레벨에 따라 소정의 전압 레벨을 출력하는 제1 전압 분배부와, 제2 전원 전압과 접지 전압 사이에 연결되고 제1 전압 분배부의 출력에 응답하여 제2 전원 전압을 분배시키는 제2 전압 분배부와, 제1 전압 분배부의 출력과 제2 전압 분배부의 출력을 비교하는 비교부와, 그리고 비교부의 출력을 입력하여 제어 신호를 출력하는 제1 인버터를 포함한다.

<16> 제1 전압 분배부는 제1 전원 전압에 그 소스가 연결되는 제1 피모스 트랜지스터와, 일단은 접지 전압에 연결되고 다른 단은 제1 전압 분배부의 출력인 제1 피모스 트랜지스터의 드레인에 연결되는 제1 저항과, 그리고 일단은 접지 전압에 연결되고 다른 단은 제1 피모스 트랜지스터의 게이트에 연결되는 제2 저항을 포함한다. 제2 전압 분배부는 그 소스가 제2 전원 전압에 연결되고 그 게이트와 그 드레인이 서로 연결된 제2 피모스 트랜지스터와, 그 소스가 제2 피모스 트랜지스터의 드레인에 연결되고 그 게이트와 그 드레인이 서로 연결된 제3 피모스 트랜지스터와, 그 소스가 제3 피모스 트랜지스터의 드레인에 연결되고 그 게이트가 제1 전압 분배부의 출력에 연결되는 제4 피모스 트랜지스터와, 그리고 그 소스가 접지 전압에 연결되고 그 게이트가 제1 전압 분배부의 출력에 연결되고 그 드레인이 제2 전압 분배부의 출력인 제4 피모스 트랜지스터의 드레인과 연결되는 제1 엔모스 트랜지스터를 포함한다. 비교부는 제2 전원 전압에 그 소스들이 연결되고 그 게이트와 그 드레인이 서로 교차 연결된 제5 및 제6 피모스 트랜지스터들과, 제5 피모스 트랜지스터의 드레인과 접지 전압 사이에 연결되고 제1 전압 분배부의 출력에 게이팅되는 제2 엔모스 트랜지스터와, 그리고 제6 피모스 트랜지스터의 드레인과 접지 전압 사이에 연결되고 제2 전압 분배부의 출력에 게이팅되는 제3 엔모스 트랜지스터를 포함한다.

<17> 입력단은 입력 신호를 수신하는 제1 인버터와, 제1 인버터의 출력을 수신하는 제2 인버터를 포함한다. 출력단은 제2 전원 전압에 그 소스들이 연결되고 그 게이트들이 제어 신호에 연결되는 제7 및 제8 피모스 트랜지스터와, 그 소스들이 제7 및 제8 피모스 트랜지스터들의 드레인에 각각 연결되고 그 게이트와 그 드레인이 서로 교차 연결되는 제9 및 제10 피모스 트랜지스터와, 그 드레인들이 제9 및 제10 피모스 트랜지스터들의

드레인과 각각 연결되고 입력단의 출력에 게이팅되는 제4 및 제5 엔모스 트랜지스터와, 그 드레인이 제4 엔모스 트랜지스터의 드레인과 연결되고 그 소스가 접지 전압에 연결되고 그 게이트가 제어 신호에 연결되는 제6 엔모스 트랜지스터와, 그리고 그 입력이 제6 엔모스 트랜지스터의 드레인과 연결되어 출력 신호를 출력하는 제2 인버터를 포함한다.

<18> 따라서, 본 발명의 레벨 쉬프터에 의하면, 파워 다운 모드 시 누설 전류 경로를 차단하고, 정상 모드 시 제1 전원 전압 레벨의 입력 신호를 제2 전원 전압 레벨의 출력 신호로 레벨 쉬프터시킨다.

<19> 이하, 본 발명의 바람직한 실시예의 상세한 설명이 첨부된 도면들을 참조하여 설명될 것이다. 도면들 중 참조부호들 및 동일한 구성요소들에 대해서는 비록 다른 도면상에 표시되더라도 가능한 동일한 참조번호들 및 부호들로 나타내고 있음은 명백하다. 본 명세서에서는 제1 전원 전압(VDD1)은 1.8V로, 그리고 제2 전원 전압(VDD2)은 3.3V로 설정되는 예에 대하여 기술된다.

<20> 도 2는 본 발명의 일실시예에 따른 레벨 쉬프터를 나타내는 도면이다. 이를 참조하면, 레벨 쉬프터(200)는 파워 검출부(210), 입력단(110), 그리고 출력단(260)을 포함한다. 파워 검출부(210)는 제1 및 제2 전원 전압(VDD1, VDD2)의 레벨에 응답하여 제어 신호(CTRL)를 발생한다. 입력단(110)은 입력 신호(IN)를 수신하여 제1 노드(15)와 제2 노드(25) 전압 레벨을 결정한다. 출력단(260)은 제어 신호(CTRL)와 제1 노드(15) 및 제2 노드(25)에 응답하여 출력 신호(Y)를 발생한다.

<21> 파워 검출부(210)는 제1 전원 분배부(220), 제2 전원 분배부(230), 비교부(240), 그리고 제1 인버터(250)를 포함한다. 제1 전원 분배부(220)는 제1 전원 전압(VDD1)과 접지 전압(VSS) 사이에 직렬 연결된 제1 피모스 트랜지스터(222)와 제1 저항(224), 그리고

제1 피모스 트랜지스터(222)의 게이트와 접지 전압(VSS) 사이에 연결되는 제2 저항(226)을 포함한다. 바람직하게, 제1 저항(224)은 제1 저항(226)에 비하여 상당히 큰 저항 값을 갖도록 설정된다. 제2 전원 분배부(230)는 제2 전원 전압(VDD2)과 접지 전압(VSS) 사이에 직렬 연결된 제2 내지 제4 피모스 트랜지스터들(232, 234, 236)과 제1 엔모스 트랜지스터(238)를 포함한다. 제2 및 제3 피모스 트랜지스터들(232, 234)은 다이오드형으로 연결되고 제4 피모스 트랜지스터(236)와 제1 엔모스 트랜지스터(238)의 게이트는 제1 전원 분배부(220)의 출력 노드(225)에 연결된다.

<22> 비교부(240)는 제2 전원 전압(VDD2)과 접지 전압(VSS) 사이에, 교차연결된 제5 및 제6 피모스 트랜지스터들(242, 244)과, 제5 피모스 트랜지스터(242)와 연결되는 제2 엔모스 트랜지스터(246), 그리고 제6 피모스 트랜지스터(244)와 연결되는 제3 엔모스 트랜지스터(248)를 포함한다. 제2 엔모스 트랜지스터(246)의 게이트는 제1 전원 분배부(220)의 출력 노드(225)에 연결되고, 제3 엔모스 트랜지스터(248)의 게이트는 제2 전원 분배부(230)의 출력 노드(235)에 연결된다. 제1 인버터(250)는 비교부(240)의 출력 노드(245)를 입력하여 제어 신호(CTRL)를 발생한다.

<23> 입력단(110)은 도 1의 입력단(110)과 동일하고 그 출력 노드들(15, 25)이 출력단(260)으로 연결된다. 설명의 중복을 피하기 위하여, 입력단(110)의 구체적인 설명은 생략된다.

<24> 출력단(260)은 제2 전원 전압(VDD2)과 접지 전압(VSS) 사이에, 제어 신호(CTRL)에 게이팅되는 제7 및 제8 피모스 트랜지스터들(262, 264)과, 교차 연결된 제9 및 제10 피모스 트랜지스터들(266, 268)과, 그리고 입력단(110)의 노드 25 및 노드 15에 각각 게이팅되는 제4 및 제5 엔모스 트랜지스터들(270, 272)이 연결된다. 그리고 출력단(260)은

제어 신호(CTRL)에 응답하여 노드 275를 리셋시키는 제6 엔모스 트랜지스터(274)와 노드 275에 연결되는 제2 인버터(276)을 더 포함한다.

<25> 본 발명의 레벨 쉬프터(200)는 다음과 같이 동작된다.

<26> 먼저, 정상적인 동작 모드일 때, 제1 전원 전압(VDD1)과 제2 전원 전압(VDD2)이 미리 설정된 전압 레벨 즉, 각각 1.8V와 3.3V로 안정적으로 인가되면, 제1 전압 분배부(220)의 출력 노드(225)는 로직 하이레벨로 잡힌다. 로직 하이레벨의 노드 225에 응답하여 제2 전원 분배부(230)의 출력 노드(235)는 로직 로우레벨로 잡힌다. 로직 하이레벨의 노드 225와 로직 로우레벨의 노드 235에 응답하여 비교부(240)의 출력 노드(245)는 로직 하이레벨이 된다. 제1 인버터(250)는 로직 하이레벨의 노드 245에 응답하여 로직 로우레벨의 제어 신호(CTRL)를 발생한다. 로직 로우레벨의 제어 신호(CTRL)에 응답하여 출력단(260)의 제7 및 제8 피모스 트랜지스터들(262, 264)이 턴온되고 제6 엔모스 트랜지스터(274)는 턴오프된다.

<27> 이 때, 입력 신호(IN)의 제1 전원 전압(VDD1) 레벨의 로직 하이레벨에 응답하여 입력단(110)의 노드 15는 로직 로우레벨로, 그리고 노드 25는 로직 하이레벨로 발생되어, 노드 275는 로직 로우레벨로, 그리고 출력 신호(Y)는 제2 전원 전압(VDD2) 레벨의 로직 하이레벨로 발생된다. 이에 반하여, 입력 신호(IN)의 로직 로우레벨에 응답하여 입력단(110)의 노드 15는 로직 하이레벨로, 그리고 노드 25는 로직 로우레벨로 발생되어, 노드 275는 로직 하이레벨로, 그리고 출력 신호(Y)는 로직 로우레벨로 발생된다. 따라서, 정상 모드일 때 레벨 쉬프터(200)는 제1 전원 전압(VDD1) 레벨의 입력 신호(IN)를 제2 전원 전압(VDD2) 레벨의 출력 신호(Y)로 레벨 쉬프터시킨다.

- <28> 다음으로, 전력 소비 감소를 위하여 파워 다운 모드일 때, 제1 전원 전압(VDD1)이 인가되지 않으면, 제1 전압 분배부(220)의 출력 노드(225)는 로직 로우레벨로, 그리고 제2 전원 분배부(230)의 출력 노드(235)는 제2 전원 전압(VDD2) 레벨의 로직 하이레벨로 잡힌다. 로직 로우레벨의 노드 225와 로직 하이레벨의 노드 235에 응답하여 비교부(240)의 출력 노드(245)는 로직 로우레벨이 된다. 제1 인버터(250)는 로직 로우레벨의 노드 245에 응답하여 로직 하이레벨의 제어 신호(CTRL)를 발생한다. 로직 하이레벨의 제어 신호(CTRL)에 응답하여 출력단(260)의 제7 및 제8 피모스 트랜지스터들(262, 264)이 턴오프되고 제6 엔모스 트랜지스터(274)는 턴온된다. 턴온된 제6 엔모스 트랜지스터(274)에 응답하여 노드 275는 로직 로우레벨이 되고 출력 신호(Y)는 로직 하이레벨로 발생된다.
- <29> 이 때, 제1 전원 전압(VDD1)의 차단으로 인해 입력단(110)의 노드 15와 노드 25가 이전 상태를 유지하더라도, 제7 및 제8 피모스 트랜지스터들(262, 264)이 턴오프되어 제2 전원 전압(VDD2)의 공급이 차단된다. 이는 종래의 레벨 쉬프터(100)에서 생기던 제2 전원 전압(VDD2)과 접지 전압(VSS) 사이의 누설 전류 경로들을 차단하게 된다.
- <30> 따라서, 본 발명의 레벨 쉬프터(200)는 파워 다운 모드 시 누설 전류 경로를 차단하고, 정상 모드 시 제1 전원 전압(VDD1) 레벨의 입력 신호를 제2 전원 전압(VDD2) 레벨의 출력 신호로 레벨 쉬프터시킨다.
- <31> 이상에서, 본 발명은 실시예들을 들어 기술하였지만 이는 예시적인 것에 불과하며 본 발명의 기술적 사상 및 범위를 제한하거나 한정하는 것은 아니다. 그러므로, 본 발명의 기술적 사상 및 범위를 벗어나지 않는 한도 내에서 다양한 변화 및 변경이 가능함은 물론이다.

【발명의 효과】

<32> 상술한 본 발명의 레벨 쉬프터는 파워 다운 모드 시 누설 전류 경로를 차단하고, 정상 모드 시 제1 전원 전압 레벨의 입력 신호를 제2 전원 전압 레벨의 출력 신호로 레벨 쉬프터시킨다.

【특허청구범위】**【청구항 1】**

제1 전원 전압과 제2 전원 전압의 레벨에 응답하여 제어 신호를 발생하는 파워 검출부;

상기 제1 전원 전압과 접지 전압 사이에 연결되고 입력 신호를 수신하는 입력단; 및

상기 제2 전원 전압과 상기 접지 전압 사이에 연결되고, 상기 제어 신호와 상기 입력단의 출력에 응답하여 출력 신호를 발생하는 출력단을 구비하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 2】

제1항에 있어서, 상기 파워 검출부는

상기 제1 전원 전압과 상기 접지 전압 사이에 연결되어 상기 제1 전원 전압의 레벨에 따라 소정의 전압 레벨을 출력하는 제1 전압 분배부;

상기 제2 전원 전압과 상기 접지 전압 사이에 연결되고, 상기 제1 전압 분배부의 출력에 응답하여 상기 제2 전원 전압을 분배시키는 제2 전압 분배부;

상기 제1 전압 분배부의 출력과 상기 제2 전압 분배부의 출력을 비교하는 비교부; 및

상기 비교부의 출력을 입력하여 상기 제어 신호를 출력하는 제1 인버터를 구비하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 3】

제2항에 있어서, 상기 제1 전압 분배부는

상기 제1 전원 전압에 그 소스가 연결되는 제1 피모스 트랜지스터;

일단은 상기 접지 전압에 연결되고 다른 단은 상기 제1 전압 분배부의 출력인 상기 제1 피모스 트랜지스터의 드레인에 연결되는 제1 저항; 및

일단은 상기 접지 전압에 연결되고 다른 단은 상기 제1 피모스 트랜지스터의 게이트에 연결되는 제2 저항을 구비하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 4】

제2항에 있어서, 상기 제2 전압 분배부는

그 소스가 상기 제2 전원 전압에 연결되고, 그 게이트와 그 드레인이 서로 연결된 제2 피모스 트랜지스터;

그 소스가 상기 제2 피모스 트랜지스터의 드레인에 연결되고 그 게이트와 그 드레인이 서로 연결된 제3 피모스 트랜지스터;

그 소스가 상기 제3 피모스 트랜지스터의 드레인에 연결되고, 그 게이트가 상기 제1 전압 분배부의 출력에 연결되는 제4 피모스 트랜지스터; 및

그 소스가 상기 접지 전압에 연결되고, 그 게이트가 상기 제1 전압 분배부의 출력에 연결되고, 그 드레인이 상기 제2 전압 분배부의 출력인 상기 제4 피모스 트랜지스터의 드레인과 연결되는 제1 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 5】

제2항에 있어서, 비교부는

상기 제2 전원 전압에 그 소스들이 연결되고, 그 게이트와 그 드레인이 서로 교차 연결된 제5 및 제6 피모스 트랜지스터들;

상기 제5 피모스 트랜지스터의 드레인과 상기 접지 전압 사이에 연결되고, 상기 제1 전압 분배부의 출력에 게이팅되는 제2 엔모스 트랜지스터; 및

상기 제6 피모스 트랜지스터의 드레인과 상기 접지 전압 사이에 연결되고, 상기 제2 전압 분배부의 출력에 게이팅되는 제3 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 6】

제1항에 있어서, 상기 입력단은

상기 입력 신호를 수신하는 제1 인버터; 및

제1 인버터의 출력을 수신하는 제2 인버터를 구비하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 7】

제1항에 있어서, 상기 출력단은

상기 제2 전원 전압에 그 소스들이 연결되고, 그 게이트들이 상기 제어 신호에 연결되는 제7 및 제8 피모스 트랜지스터;

그 소스들이 상기 제7 및 제8 피모스 트랜지스터들의 드레인에 각각 연결되고, 그 게이트와 그 드레인이 서로 교차 연결되는 제9 및 제10 피모스 트랜지스터; 및

그 드레인들이 상기 제9 및 제10 피모스 트랜지스터들의 드레인과 각각 연결되고, 상기 입력단의 출력에 게이팅되는 제4 및 제5 엔모스 트랜지스터;

그 드레인이 상기 제4 엔모스 트랜지스터의 드레인과 연결되고, 그 소스가 상기 접지 전압에 연결되고, 그 게이트가 상기 제어 신호에 연결되는 제6 엔모스 트랜지스터; 및

그 입력이 상기 제6 엔모스 트랜지스터의 드레인과 연결되어 상기 출력 신호를 출력하는 제2 인버터를 구비하는 것을 특징으로 하는 레벨 쉬프터.

【청구항 8】

제1 전원 전압과 접지 전압 사이에 연결되어 상기 제1 전원 전압의 레벨에 따라 소정의 전압 레벨을 출력하는 제1 전압 분배부;

제2 전원 전압과 상기 접지 전압 사이에 연결되고, 상기 제1 전압 분배부의 출력에 응답하여 상기 제2 전원 전압을 분배시키는 제2 전압 분배부;

상기 제1 전압 분배부의 출력과 상기 제2 전압 분배부의 출력을 비교하는 비교부; 및

상기 비교부의 출력을 입력하여 상기 제어 신호를 출력하는 인버터를 구비하는 것을 특징으로 하는 파워 검출부.

【청구항 9】

제8항에 있어서, 상기 제1 전압 분배부는

상기 제1 전원 전압에 그 소스가 연결되는 제1 피모스 트랜지스터;

일단은 상기 접지 전압에 연결되고 다른 단은 상기 제1 전압 분배부의 출력인 상기 제1 피모스 트랜지스터의 드레인에 연결되는 제1 저항; 및

일단은 상기 접지 전압에 연결되고 다른 단은 상기 제1 피모스 트랜지스터의 게이트에 연결되는 제2 저항을 구비하는 것을 특징으로 하는 파워 검출부.

【청구항 10】

제8항에 있어서, 상기 제2 전압 분배부는

그 소스가 상기 제2 전원 전압에 연결되고, 그 게이트와 그 드레인이 서로 연결된 제2 피모스 트랜지스터;

그 소스가 상기 제2 피모스 트랜지스터의 드레인에 연결되고, 그 게이트와 그 드레인이 서로 연결된 제3 피모스 트랜지스터;

그 소스가 상기 제3 피모스 트랜지스터의 드레인에 연결되고, 그 게이트가 상기 제1 전압 분배부의 출력에 연결되는 제4 피모스 트랜지스터; 및

그 소스가 상기 접지 전압에 연결되고, 그 게이트가 상기 제1 전압 분배부의 출력에 연결되고, 그 드레인이 상기 제2 전압 분배부의 출력인 상기 제4 피모스 트랜지스터의 드레인과 연결되는 제1 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 파워 검출부.

【청구항 11】

제8항에 있어서, 비교부는

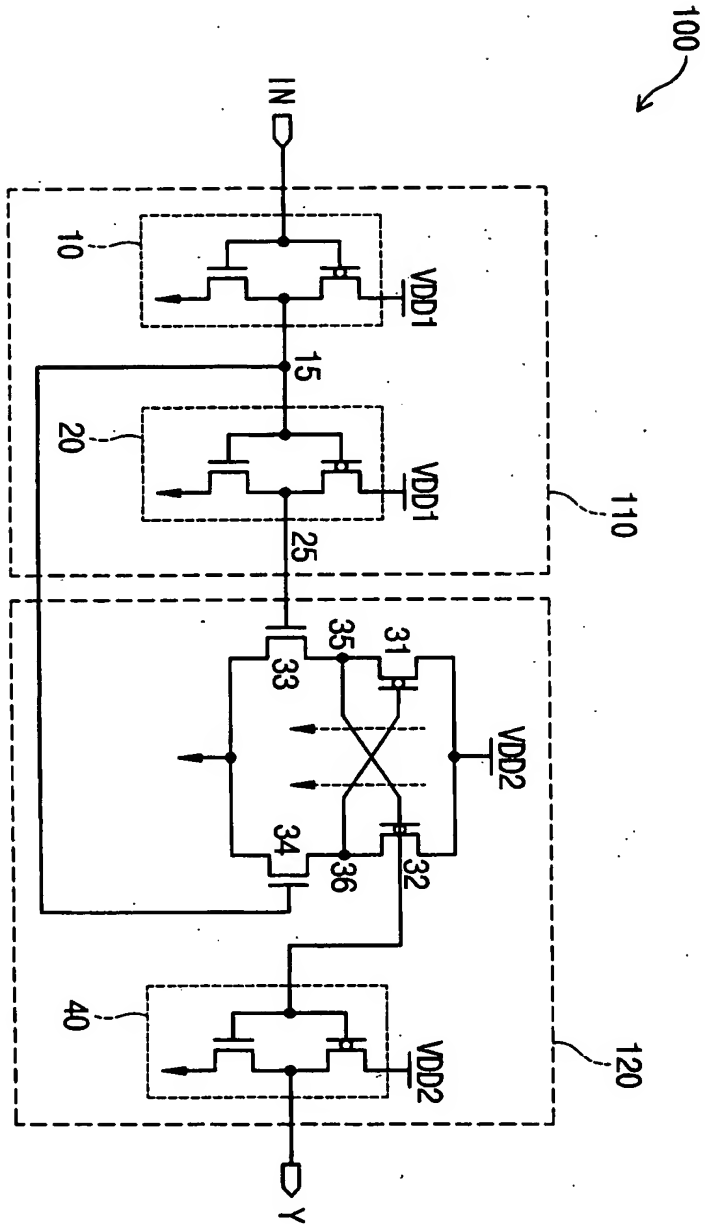
상기 제2 전원 전압에 그 소스들이 연결되고, 그 게이트와 그 드레인이 서로 교차 연결된 제5 및 제6 피모스 트랜지스터들;

상기 제5 피모스 트랜지스터의 드레인과 상기 접지 전압 사이에 연결되고, 상기 제 1 전압 분배부의 출력에 게이팅되는 제2 엔모스 트랜지스터; 및

상기 제6 피모스 트랜지스터의 드레인과 상기 접지 전압 사이에 연결되고, 상기 제 2 전압 분배부의 출력에 게이팅되는 제3 엔모스 트랜지스터를 구비하는 것을 특징으로 하는 파워 검출부.

【도면】

【도 1】



【도 2】

